

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-299052

(43)Date of publication of application : 11.12.1990

(51)Int.Cl.

G06F 13/28

(21)Application number : 01-119876

(71)Applicant : VICTOR CO OF JAPAN LTD

(22)Date of filing : 12.05.1989

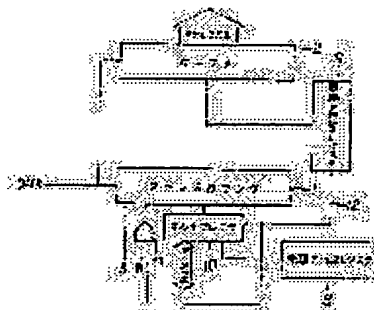
(72)Inventor : YAMAGISHI TORU

(54) DMA CONTROLLER

(57)Abstract:

PURPOSE: To carry on operation automatically by setting the tail address and head address of a memory in respective storage means previously and loading the head address in an address counting means when access reaches the tail address.

CONSTITUTION: The head address of the RAM is set in a head address register 8 and the tail address of the RAM is set in a tail address register 9. Further, the output of the address counter 1 is compared with their storage contents to monitor a DMA operation address and when the both match each other, a matching detection signal is generated. When the capacity of the DMA is not intermediate capacity of the storage area of the RAM and when the access address reaches the tail address in the middle of the DMA operation, the contents of a register 8 are loaded in the counter 1. The counter 1 counts up from the head address in the middle of the DMA operation. Consequently, when the address reaches the tail address in the middle of the DMA operation, the DMA operation address is set to the head address automatically and the DMA operation ends.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

decision of rejection]

[Date of extinction of right]

2

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平2-299052

⑬ Int. Cl.⁵
G 06 F 13/28

識別記号 庁内整理番号
3 1 0 M 8840-5B

⑭ 公開 平成2年(1990)12月11日

審査請求 未請求 請求項の数 1 (全5頁)

⑮ 発明の名称 DMAコントローラ

⑯ 特 願 平1-119876

⑰ 出 願 平1(1989)5月12日

⑱ 発 明 者 山 岸 亨 神奈川県横浜市神奈川区守屋町3丁目12番地 日本ビクター株式会社内

⑲ 出 願 人 日本ビクター株式会社 神奈川県横浜市神奈川区守屋町3丁目12番地

⑳ 代 理 人 弁理士 佐藤 一雄 外3名

明 細 書

1. 発明の名称

DMAコントローラ

2. 特許請求の範囲

DMA動作毎にDMA動作アドレスを一定値ずつ増加または減少させるアドレスカウント手段と、前記DMAの対象となるメモリの先頭アドレスを記憶する先頭アドレス記憶手段と、該メモリの最終アドレスを記憶する最終アドレス記憶手段と、前記DMA動作アドレスと前記最終アドレスとを比較し両者が一致したときには前記先頭アドレスを前記アドレスカウント手段にロードさせるアドレス補正手段とを備えているDMAコントローラ。

3. 発明の詳細な説明

(産業上の利用分野)

本発明はDMA(Direct Memory Access)コントローラに関するものである。

る。

(従来技術)

従来、メモリと入出力インターフェースとの間でデータのやりとりをMPUを介せずに直接行うことを可能とするDMAコントローラがある。

このDMAコントローラは一般に一定値ずつ増加又は減少するアドレスをその入出力インターフェースに向けて送りつつメモリにおけるそのアドレスに対し読出し書き込みのアクセスを行うようになっている。

第2図はその従来例となるDMAコントローラのブロック図である。

この図において、1はアドレスカウンタ、2はバッファである。

アドレスカウンタ1は、クロックDACKによりカウントアップするようになっており、コントロールバスからのラインと信号Wによりデータバスの値をロードし、同コントロールバスからのリード信号Rによりカウント内容をデータバスに出力するものである。

このアドレスカウンタ1のカウンタ内容はバッファ2にも供給され、クロックD A C Kに同期してこのバッファ2からアドレスバスにも送出されるようになっている。

第3図はこのようなコントローラを通信回線と接続して使用する場合のブロック図である。

この図において、3はDMAコントローラ、4はDMAの対象となるRAM、5は通信回線制御装置、6はバスライン、7は通信回線である。

DMAコントローラ3は通信回線制御装置5からのリクエスト信号D R E Qに回答してDMA動作を開始し、RAM4をアクセスすると同時にクロック信号D A C Kを通信回線制御装置5に供給する。

すると、通信回線制御装置5はこのクロック信号D A C Kに同期してバスライン6にデータを送出してRAM4に書き込まれるようにし、またはバスライン6上のデータを取り込んで回線7に送出するようになっているものである。

ところで、当該RAM4はリングバッファ方式

で使用されることが多い。

第4図はそのRAM4の概念図である。

同図(イ)において、0000はRAM4の先頭アドレス、1234は同RAM4の最終アドレスであるが、リングバッファとは同図(ロ)に示すように、記憶領域をあたかも先頭アドレス0000と最終アドレス1234を繋げてリングの如くしたようにとらえるものである。

よって、このリングバッファ方式の場合、アクセス途中で最終アドレスへ至ったときには、先頭アドレスに帰ってアクセスを続行することとなる。
〔発明が解決しようとする課題〕

しかしながら、上記従来のDMAコントローラによりこのリングバッファ方式を用いた場合、そのDMAの領域が第4図(イ)において符号cで示すように領域の中間に収めれば良いが、その領域が符号bで示すようにアクセス途中で最終アドレスへ至るような場合、リングバッファの最終アドレスがシステムによってまちまちであるため、DMA動作を2回に別けて行うしかなく、その分、

データ転送時間が長くなることとなっていた。

本発明は、上記の問題点に鑑みてなされたもので、その目的とするところは、メモリの最終アドレスまで至っても容量が確保できない場合であってもDMA動作を2回に分けることを必要とすることなくそのDMA動作を完了させるDMAコントローラを提供することにある。

〔課題を解決するための手段〕

本発明のDMAコントローラは、DMA動作毎にDMA動作アドレスを一定値ずつ増加または減少させるアドレスカウンタ手段と、前記DMAの対象となるメモリの先頭アドレスを記憶する先頭アドレス記憶手段と、該メモリの最終アドレスを記憶する最終アドレス記憶手段と、前記DMA動作アドレスと前記最終アドレスとを比較し両者が一致したときには前記先頭アドレスを前記アドレスカウンタ手段にロードさせるアドレス補正手段とを備えている。

〔作用〕

本発明によれば、予めメモリの最終アドレスと

先頭アドレスを各記憶手段に設定しておくことで、アクセスが最終アドレスに至ったときにはアドレスカウンタ手段に先頭アドレスがロードされ、DMA動作が自動的にその先頭アドレスへ続行されるようになる。

〔実施例〕

以下に本発明の実施例について図面を参照しつつ説明する。

第1図は本発明の一実施例に係るDMAコントローラのブロック図である。

この図において、8は先頭アドレスレジスタであり、この先頭アドレスレジスタ8にはRAM4(この図では省略されているが、そのアドレス入力端子はアドレスバスに接続され、データ入出力端子はデータバスに接続される。)の先頭アドレスが設定される。

9は最終アドレスレジスタであり、この最終アドレスレジスタ9はRAM4の最終アドレスが設定されるもので、且つアドレスカウンタ1の出力とその記憶内容とを比較することによりDMA動

作アドレスを監視し、両者が一致したときには一致検出信号12を発生するようになっている。

10はマルチプレクサである。このマルチプレクサ10はそのセレクトデータとしてデータバスからの信号と先頭アドレスレジスタ8の出力とが入力されているもので、最終アドレスレジスタ9から一致検出信号12が入力されていないときにはデータバスからの信号をセレクトし、一致検出信号12が入力されると先頭アドレスレジスタ8の出力をセレクトするようになっている。

11はオアゲートであり、ライト信号Wはこのオアゲート11を介してアドレスカウンタ1に入力されるようになっている。最終アドレスレジスタ9からの一致検出信号12もこのオアゲート11に入力されており、これによって一致検出信号12が発せられると、マルチプレクサ10から出力される先頭アドレスがアドレスカウンタ1にロードされるようになっている。

よって、DMAの容量がRAM4の記憶領域の中間に収まる場合には、DMA動作アドレスが最

終アドレスと一致することがないため、先頭アドレスレジスタ8の内容がアドレスカウンタ1にロードされることはない。

一方、DMAの容量がRAM4の記憶領域の中間に収まらず、そのDMA動作途中においてアドレスが最終アドレスと一致すると、先頭アドレスレジスタ8の内容がアドレスカウンタ1にロードされ、アドレスカウンタ1はDMA動作途中でその先頭アドレスからカウントアップを行うようになる。

これにより、DMA動作途中においてアドレスが最終アドレスに至った場合、DMA動作アドレスが自動的に先頭アドレスに引き継がれて、DMA動作の完了に至ることとなる。

したがって、レジスタ8、9に所定のアドレスを予め設定しておけば、RAM4の最終アドレスまで至ってもなお容量が確保できない場合であってもDMA動作を2回に分けることを必要とすることなくそのDMA動作を完了させることとなる。

〔発明の効果〕

以上説明したように本発明によれば、予めメモリの最終アドレスと先頭アドレスを各記憶手段に設定しておくことで、アクセスが最終アドレスに至ったときにはアドレスカウンタ手段に先頭アドレスがロードされ、DMA動作が自動的にその先頭アドレスへ引き継がれるようになるため、メモリの最終アドレスまで至ってもなお容量が確保できない場合であってもDMA動作を2回に分けることを必要とすることなくそのDMA動作を完了させることができるという効果を奏する。

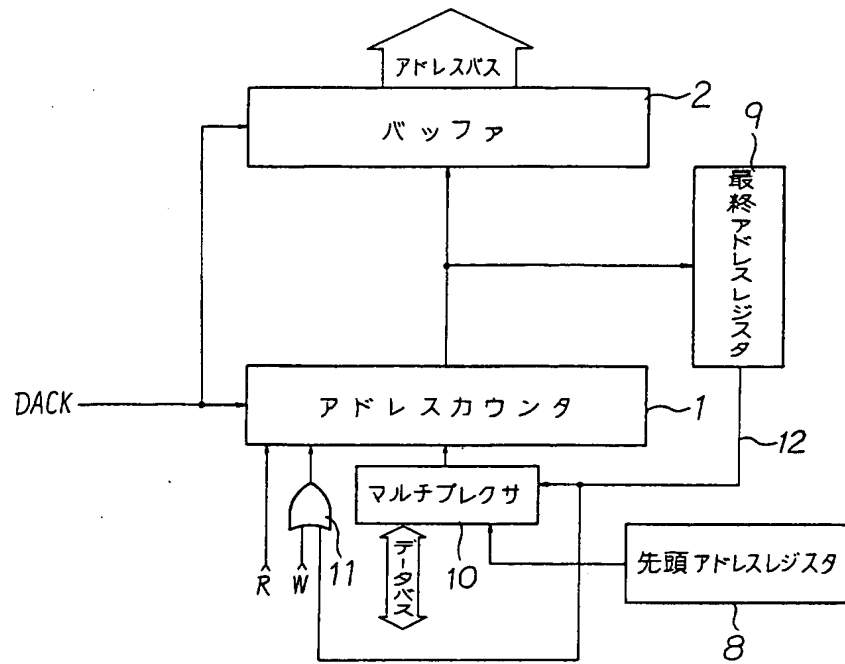
4…RAM、8…先頭アドレスレジスタ、9…最終アドレスレジスタ、10…マルチプレクサ、11…オアゲート。

出願人代理人 佐 藤 一 雄

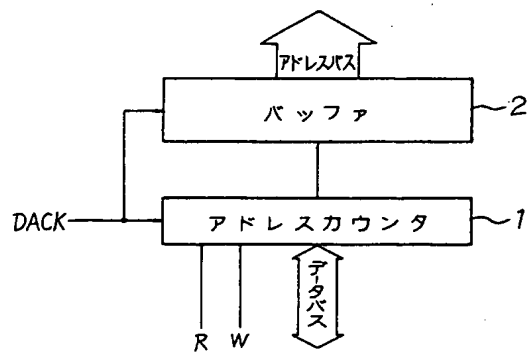
4. 図面の簡単な説明

第1図は本発明の一実施例に係るDMAコントローラのブロック図、第2図は従来のDMAコントローラのブロック図、第3図はDMAコントローラを通信回線と接続して用いた場合のシステム構成を示すブロック図、第4図はメモリのバッファ構成を示す概念図である。

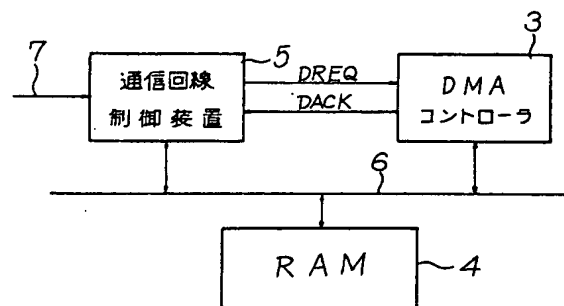
1…アドレスカウンタ、2…バッファ、



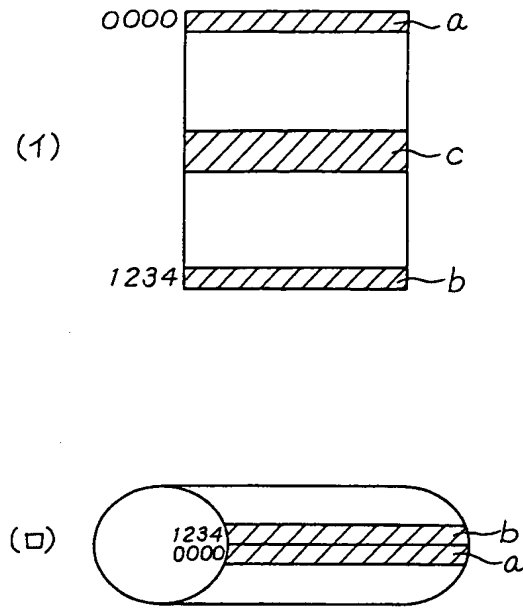
第 1 図



第 2 図



第 3 図



第 4 図